

#2

Docket No.: P-0251

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Ki Yong JEON

New U.S. Patent Application

Filed: August 28, 2001

For: SERIAL DATA MAPPING APPARATUS FOR SYNCHRONOUS DIGITAL
HIERARCHY SYSTEM



TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the
following application:

Korean Patent Application No. 49973/2000, filed August 28, 2000

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP

Daniel Y.J. Kim
Registration No. 36,186
David W. Ward
Registration No. 45,198

P. O. Box 221200
Chantilly, Virginia 20153-1200
703 502-9440

Date: August 28, 2001

DYK/DWW:tmd

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

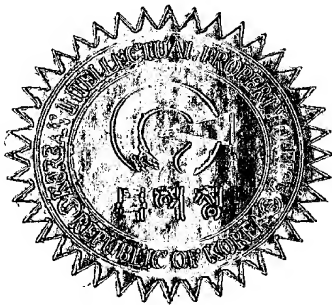
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2000년 제 49973 호
Application Number PATENT-2000-0049973

출원년월일 : 2000년 08월 28일
Date of Application AUG 28, 2000

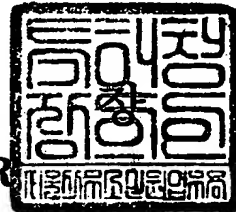
출원인 : 엘지정보통신주식회사
Applicant(s) LG INFORMATION & COMMUNICATIONS LTD.



2001 년 07 월 23 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2000.08.28
【발명의 명칭】	동기식 광전송 시스템에서 직렬입력 데이터의 병렬처리를 위한 매핑장치
【발명의 영문명칭】	Apparatus for parallel mapping of serial input data in SDH system
【출원인】	
【명칭】	엘지정보통신주식회사
【출원인코드】	1-1998-000286-1
【대리인】	
【성명】	홍성철
【대리인코드】	9-1998-000611-7
【포괄위임등록번호】	1999-053412-7
【발명자】	
【성명의 국문표기】	전기용
【성명의 영문표기】	JEON, KI YONG
【주민등록번호】	720818-1454629
【우편번호】	425-160
【주소】	경기도 안산시 이동 572-9 14/1 204호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 홍성철 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	4 항 237,000 원
【합계】	266,000 원

【요약서】**【요약】**

본 발명은 SDH 시스템에서 직렬의 입력 데이터를 새로운 포맷에 매핑하는 경우에 각 채널단위의 버퍼 및 제어신호를 사용하지 않고도 채널의 수에 관계없이 전 채널을 매핑할 수 있도록 한 동기식 광전송 시스템에서 직렬입력 데이터의 병렬처리를 위한 매핑 장치를 제공하기 위한 것으로, 이러한 본 발명은, 새로 매핑될 데이터의 위치를 지시하는 어드레스 신호를 출력하는 STM 어드레스 생성부와; DS 계열의 신호를 수신하여 상기 STM 어드레스 생성부의 어드레스 신호에 따라 VC 계열의 신호로 각각 매핑하는 VC 매핑부와; 상기 VC 매핑부에서 매핑된 VC계열의 가상단자를 포인터처리하고 다중화한 후 STM 신호로 출력하는 STM 포매팅부로 구성되어, 클럭간의 차이에 의한 지터의 발생을 방지하고 게이트의 수를 감소시키며 탄성버퍼의 데이터를 바이트 단위로 읽어 전체 채널을 한번에 처리하면서 필요시에만 해당 제어신호를 다중화하여 사용함으로써 제어신호의 전송을 위한 시스템 구성이 간단화될 수 있게 된다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

동기식 광전송 시스템에서 직렬입력 데이터의 병렬처리를 위한 매핑장치 {Apparatus for parallel mapping of serial input data in SDH system}

【도면의 간단한 설명】

도1은 일반적인 SDH 시스템의 STM-1 신호 생성블록의 구성도이고,

도2는 종래기술에 의한 SDH 시스템의 가상컨테이너의 블록구성도이며,

도3은 본 발명의 일실시예에 의한 동기식 광전송 시스템에서 직렬입력 데이터의 병렬처리를 위한 매핑장치의 블록구성도이고,

도4는 도3에서 매핑부의 블록상세도이다.

* 도면의 주요 부분에 대한 부호의 설명 *

31 : 탄성버퍼 32 : VC 맵퍼 33 : 읽기포인트 제어부

34 : VC 프레임머 35 : 쓰기포인트 제어부 41 : VC 매핑부

42 : STM 포맷팅부 43 : STM 어드레스 생성부

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <9> 본 발명은 동기식 광전송시스템(Synchronous Digital Hierarchy System, 이하 SDH 시스템)의 매핑장치에 관한 것으로, 특히 직렬의 입력 데이터를 새로운 포맷(Format)에 매핑(Mapping)하는 경우에 각 채널단위의 버퍼 및 제어신호를 사용하지 않고도 채널의 수에 관계없이 전 채널을 매핑할 수 있도록 한 동기식 광전송 시스템에서 직렬입력 데이터의 병렬처리를 위한 매핑장치에 관한 것이다.
- <10> 일반적으로 SDH 시스템은 국제전기통신연합인 ITU-T의 표준안에 따라 입력되는 신호에 대한 매핑을 수행하게 된다. 즉, SDH 시스템은 비동기 신호를 수용하여 가상 컨테이너(Virtual Container, VC)에서 매핑하고 포인터를 처리한 후 다중화하여 STM-1 신호를 형성하여 광전송로를 통해 전송하는 일련의 동작을 수행한다.
- <11> 그리고 상기 생성된 STM-1 신호는 전송시스템에 따라 다중화되어 STM-n 신호로 변환되기도 한다. 이때 STM-1 신호는 155.520Mbps의 전송속도를 갖는다.
- <12> 본 발명은 SDH 시스템에서 비동기 신호를 수신하여 가상 컨테이너에서 새로운 포맷으로 매핑하는 것에 관한 것으로, 본 발명이 속한 분야의 종래기술을 설명하면 다음과 같다.
- <13> 먼저, 도1은 일반적인 SDH 시스템의 STM-1 신호 생성블록의 구성도이고, 도2는 종래기술에 의한 SDH 시스템의 가상컨테이너의 블록구성도이다.
- <14> 상기 도2에 도시된 바와 같이 종래의 장치는, 직렬 입력데이터를 쓰기포인터 생성

부(26)가 지시하는 위치에 저장하는 탄성버퍼(21)와; 읽기포인터 생성부(25)가 지시하는 위치에서 상기 탄성버퍼(21)에 저장된 직렬의 데이터를 읽어 병렬로 전환하는 직병렬 변환부(22)와; 상기 직병렬 변환부(22)에서 병렬의 데이터를 수신하여 VC1 프레임의 제어에 따라 다중화하는 VC1 매퍼(23)와; 상기 VC1 매퍼(23)가 데이터를 다중화하는 동작을 제어하여 데이터를 VC1 프레임 포맷에 따라 매핑되도록 하는 VC1 프레이머(VC1_Framer)(24)와; 상기 VC1 프레이머(24)가 전송하는 데이터 출력신호를 수신하여 상기 탄성버퍼(21)에 저장된 데이터가 출력될 위치를 지시하는 포인터를 생성하는 읽기 포인터 생성부(25)와; 상기 탄성버퍼(21)로 입력되는 직렬의 데이터를 저장하는 위치를 지시하는 포인터를 생성하는 쓰기 포인터 생성부(26)로 구성된다.

<15> 이와 같이 구성되는 장치의 동작을 상세히 설명한다.

<16> 우선, 도1에서 복수개의 VC11/12 가상 컨테이너(11A, 11B, 11C)는 비동기 신호를 수신하여 VC 프레임으로 매핑하게 된다. 이때 각 VC11/12 가상 컨테이너로 입력되는 비동기 신호는 DS-1 또는 DS-1E로써, VC11/12 가상 컨테이너는 STM-1 카운터(15)의 제어신호(J1, mj1, Plden)에 따라 상기 비동기 신호를 VC11/12 신호로 매핑하게 된다.

<17> 각 VC11/12 가상 컨테이너(11A, 11B, 11C)에서 매핑된 VC11/12 신호는 계위신호 단위그룹(TUG2)에서 1:7 다중화되고 포인터 처리되어 각 VC 매핑부(12A, 12B, 12C)로 입력된다. VC34 매핑부(12A)는 다중화된 VC11/12 신호와 비동기의 DS-3과 DS-3E 및 DS-4 신호를 수신하여 STM-1 카운터(15)가 지시하는 어드레스에 따라 VC3/4 신호로 매핑한다.

<18> 이때 STM-1 카운터(15)는 새로운 포맷을 나타내기 위하여 구동되어 포맷의 어드레스를 결정한다. 상기 STM-1 카운터(15)에서 결정된 어드레스 정보는 각 가상컨테이너(11A, 11B, 11C)와 각 매핑부(12A, 12B, 12C)로 입력되어 비동기의 직렬 입력데이터를

매핑하게 될 위치를 지시하게 된다.

- <19> 그리고 각 VC3 매핑부(12B, 12C)는 다중화된 VC11/12 신호와 비동기의 DS-3 및 DS-3E 신호를 수신하여 STM-1 카운터(15)의 어드레스 신호에 따라 VC3 신호로 매핑한다.
- <20> 상기의 동작으로 형성된 VC3 신호와 VC4 신호는 AU3/4 포인터 생성부(13)에 의해 포인터 처리되어 관리단위 신호(Administration Unit)인 AU3 신호와 AU4 신호로써 각각 출력된다. 상기 AU3/4 포인터 생성부(13)에서 출력되는 AU3 신호와 AU4 신호는 AU신호 매퍼(14)에서 다중화되어 STM-1 신호로써 출력된다.
- <21> 이처럼 비동기 신호를 수신하여 STM-1 신호로 처리하는 일련의 과정중 상기 VC11/12 가상 컨테이너(11A, 11B, 11C)의 매핑동작은 채널단위로 구비된 버퍼 및 상기 각 버퍼로 전송되는 제어신호에 의해 수행된다.
- <22> 즉, 도2에서 1.544MHz의 DS-1 신호 또는 2.048MHz의 DS-1E 신호가 입력되면, 각 채널별로 독립적으로 구비된 탄성버퍼(21)는 해당 채널로 입력되는 상기 비동기의 신호를 수신하여 쓰기 포인터 생성부(26)가 지시하는 위치에 저장하게 된다. 즉, 각 채널마다 할당된 쓰기포인터 생성부(26)가 입력되는 신호의 저장위치를 결정하게 된다.
- <23> 상기과 같이 직렬의 입력데이터를 저장하는 탄성버퍼가 각 채널마다 존재하므로 탄성버퍼에 저장된 데이터를 직렬로 읽어가 병렬로 전환하는 기능부도 각 채널마다 존재하게 된다. 즉, 직렬의 입력데이터를 읽을 위치를 지시하는 포인터는 읽기포인터 생성부(25)에서 생성되어 탄성버퍼(21)로 입력됨으로써 상기 포인터가 지시하는 위치의 데이터가 읽혀진다. 탄성버퍼(21)에서 읽혀진 직렬의 데이터는 직병렬 변환부(22)에서 병렬로 전환된다.

- <24> 그리고 직병렬 변환부(22)에서 병렬로 전환된 데이터는 VC1 매퍼(23)에서 다중화되어 VC11/12 신호로써 TUG2로 출력된다. 이때 VC1 매퍼(23)가 입력신호를 다중화하는 동작은 VC1 프레이머(24)에 의해 제어된다. 즉, VC1 프레이머(24)는 STM-1 카운터의 어드레스 신호를 수신하여 병렬로 전환된 입력신호인 Pd(8:0)을 VC1 포맷으로 매핑시키게 되는 것이다.
- <25> 다시 말해 직렬입력 데이터의 채널수가 증가하는 경우 각 채널은 매핑될 데이터를 병렬로 정렬하고 상기 정렬된 병렬의 데이터를 새로운 포맷으로 매핑하게 된다. 이때 각 채널마다 탄성버퍼(21)의 데이터를 읽기 위한 읽기포인터는 VC1 프레이머(24)의 ien 신호를 수신하는 읽기포인터 생성부(25)에서 생성된다. VC1 프레이머(24)는 ien 신호를 출력할 뿐만 아니라 직병렬 변환부(22)의 동작을 활성화하는 spen 신호를 출력하게 된다.
- <26> 특히, 탄성버퍼(21)와 직병렬 변환부(22)가 각 채널마다 구비되기 때문에 읽기포인터 생성부(25)와 쓰기포인터 생성부(26)도 각 채널수만큼 구비되어야 하고, VC1 프레이머(24)는 상기 직병렬 변환부(22)와 읽기포인터 생성부(25)를 각 채널별로 제어하여야 한다.
- <27> 한편, 탄성버퍼(21)에 저장되는 직렬 데이터의 클럭과 상기 저장된 데이터를 읽는 시스템클럭과의 사이에 주파수의 불일치가 발생할 수 있으므로, 상기 클럭간 주파수 불일치를 보상하기 위하여 읽기포인터(Rad(5:0))와 쓰기포인터(Wad(5:0)) 사이의 차이를 모니터하여 읽어가는 데이터의 수를 주기적으로 조정하게 된다. 이러한 동작으로 매핑시스템의 지터(jitter)를 감쇄시킬 수 있게 된다.
- <28> 그러나 상기 설명한 종래의 기술은, 직렬의 입력 데이터에 대하여 각 채널마다 각 탄성버퍼를 구비하여 데이터의 입출력을 직렬로 구현하기 때문에 각 채널마다 데이터

읽기/쓰기를 제어하기 위한 신호를 두어야 하는 단점이 있었다. 그래서 종래에는 다중 채널 구현시 각 채널에 필요한 게이트의 수를 X 라 하고 채널의 수를 n 이라 하면 전체 게이트의 수는 Xn 이 되는 것이다.

<29> 또한, 탄성버퍼에 대하여 서로 동기되지 않는 두 클럭으로 데이터를 쓰고 읽게 되면 시스템의 지터가 발생하게 되는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<30> 이에 본 발명은 상기와 같은 종래의 제반 문제점을 해소하기 위해 제안된 것으로, 본 발명의 목적은 SDH 시스템에서 직렬의 입력 데이터를 새로운 포맷에 매핑하는 경우에 각 채널단위의 버퍼 및 제어신호를 사용하지 않고도 채널의 수에 관계없이 전 채널을 매핑할 수 있도록 한 동기식 광전송 시스템에서 직렬입력 데이터의 병렬처리를 위한 매핑장치를 제공하는 데 있다.

<31> 상기와 같은 목적을 달성하기 위하여 본 발명에 의한 동기식 광전송 시스템에서 직렬입력 데이터의 병렬처리를 위한 매핑장치는, 새로 매핑될 데이터의 위치를 지시하는 어드레스 신호를 출력하는 STM 어드레스 생성부와; DS 계열의 신호를 수신하여 상기 STM 어드레스 생성부의 어드레스 신호에 따라 VC 계열의 신호로 각각 매핑하는 VC 매핑부와; 상기 VC 매핑부에서 매핑된 VC계열의 가상단자를 포인터처리하고 다중화한 후 STM 신호로 출력하는 STM 포맷팅부로 이루어짐을 그 기술적 구성상의 특징으로 한다.

【발명의 구성 및 작용】

<32> 이하, 상기와 같은 동기식 광전송 시스템에서 직렬입력 데이터의 병렬처리를 위한

매핑장치의 기술적 사상에 따른 일실시예에 의거 본 발명의 구성 및 동작을 상세히 설명한다.

<33> 먼저, 도3은 본 발명의 일실시예에 의한 동기식 광전송 시스템에서 직렬입력 데이터의 병렬처리를 위한 매핑장치의 블록구성도이고, 도4는 도3에서 매핑부의 블록상세도이다.

<34> 상기 도3에 도시된 바와 같이 본 발명의 적절한 일실시예는, 새로 매핑될 데이터의 위치를 지시하는 어드레스 신호를 출력하는 STM-1 어드레스 생성부(43)와; DS-1, DS-1E, DS-3E 및 DS-4E 신호를 수신하여 상기 STM-1 어드레스 생성부(43)의 어드레스 신호에 따라 VC11, VC12, VC3 및 VC4로 각각 매핑하는 VC 매핑부(41)와; 상기 VC 매핑부(41)에서 매핑된 VC11, VC12, VC3 및 VC4의 가상단자를 포인터처리하고 다중화한 후 STM-1 신호로 출력하는 STM-1 포매팅부(42)로 구성된다.

<35> 그리고 도4에 도시된 바와 같이 상기 VC 매핑부(41)는, 비동기인 84채널의 DS-1 신호와 63채널의 DS-1E 신호를 수신하여 쓰기포인터 제어부(35)가 지시하는 위치에 저장하고, 읽기포인터 제어부(33)가 지시하는 위치에서 데이터를 출력하는 탄성버퍼(31)와; 상기 탄성버퍼(31)에서 출력되는 데이터를 VC1 프레임(34)의 포맷에 따라 VC11/12 신호로 다중화하여 TUG2로 출력하는 VC1 매퍼(32)와; 상기 STM-1 어드레스 생성부(43)의 어드레스 신호에 따라 비동기의 신호를 매핑할 위치를 확정하고, 상기 확정된 위치에 따라 상기 VC1 매퍼(32)와 읽기포인터 제어부(33) 및 탄성버퍼(31)를 제어하는 VC1 프레임(34)와; 상기 VC1 프레임(34)의 제어신호에 따라 상기 탄성버퍼(31)의 데이터가 읽혀질 위치를 지시하는 읽기포인터를 생성하는 읽기포인터 제어부(33)와; 상기 탄성버퍼(31)가 수신하는 데이터의 클럭을 시스템 클럭으로 래치하고 상기 데이터가 저장될 위치

를 지시하는 쓰기포인터를 생성하는 쓰기포인터 제어부(35)로 구성된다.

<36> 이와 같이 구성되는 장치의 동작을 설명하면 다음과 같다.

<37> 본 발명에 의한 장치는 입력데이터의 각 채널마다 읽기/쓰기 제어신호를 사용하지 않고, 직렬로 입력되는 비동기의 신호를 병렬로 처리하게 된다.

<38> 즉, STM-1 어드레스 생성부(43)에서 새로 매핑될 포맷의 어드레스(STM-1 address)를 지정하게 되면, 상기 어드레스가 지시하는 데이터의 위치에 의해 입력데이터의 매핑 위치가 결정된다. 이처럼 입력데이터에 대한 매핑위치가 결정되면, 매핑동작은 VC 매핑부(41)에서 수행된다. 따라서 STM-1 address를 수신하는 매핑부(41)에서 모든 매핑동작이 이루어지게 된다.

<39> 이때 VC 매핑부(41)는 84채널의 DS-1 신호와 63채널의 DS-1E 신호와 3채널의 DS-3E 신호 및 1채널의 DS-4E 신호를 수신하여 VC11, VC12, VC3 및 VC4 신호로 각각 매핑하게 된다. 상기 VC 매핑부(41)에서 매핑된 VC11, VC12, VC3 및 VC4 신호는 STM-1 포맷팅부(42)로 입력되어 포인터 처리되고 다중화된 후 STM-1 신호로써 출력된다.

<40> 상기에서 매핑부(41)는 입력되는 각 비동기의 직렬데이터를 각 채널별로 수신하여 각 채널마다 독립적으로 할당된 탄성버퍼(31)에 일시저장하게 된다. 이때 직렬데이터가 탄성버퍼(31)에 저장되는 위치는 쓰기포인터 제어부(35)의 쓰기포인터(Wad(5:0))에 의해 지정된다.

<41> 특히, 종래기술과는 달리 본 발명에서는 지터의 발생을 억제하기 위하여 쓰기포인터 제어부(35)는 입력되는 직렬데이터의 클록을 19.44MHz의 시스템클록으로 래치하고 있다가 입력데이터가 안정하게 되는 시점에서 시스템클록으로 상기 입력데이터를

탄성버퍼(31)에 쓰기 시작한다. 그래서 탄성버퍼(31)에 쓰고 읽는 클럭이 시스템클럭으로 동일하기 때문에 클럭주파수의 차이에 의한 지터의 발생을 방지할 수 있게 된다.

<42> 그리고 읽기포인터 제어부(33)의 동작은 종래기술에서 읽기포인터를 생성하는 것과 다르게 동작한다. 즉, 종래에는 읽기포인터 생성부가 1바이트의 병렬로 전환될 데이터의 탄성버퍼상의 위치를 단순히 지시하는 것에 그친 반면, 본 발명에 의한 읽기포인터 제어부(33)는 탄성버퍼(31)로부터 8비트의 데이터를 직접 병렬로 읽게 된다.

<43> 즉, 읽기포인터 제어부(33)에서 출력되는 읽기포인터는 탄성버퍼(31)에서 읽을 8비트 데이터의 시작비트를 지시하게 된다. 따라서 종래의 기술과는 달리 직렬의 데이터를 바이트 단위의 병렬 데이터로 전환하기 위한 직병렬 변환부와 같은 기능블록이 필요치 않게 된다. 이때 읽기포인터가 탄성버퍼(31)상의 데이터를 읽을 위치를 지시하는 것은 바이트 단위로 이루어지기 때문에 현재의 읽기포인터는 이전의 읽기포인터가 가리킨 위치에서 8비트 진행하여 가리키게 된다.

<44> 그런데 새로운 포맷의 스템프(STUFF) 바이트 위치와 추가되는 데이터의 위치는 필요한 데이터의 개수만큼만 증가하게 된다. 그래서 읽기포인터와 쓰기포인터의 차이를 통하여 STUFF 바이트의 데이터 유무를 결정하게 된다.

<45> 그리고 STUFF 바이트의 위치와 데이터를 탄성버퍼(31)에서 읽어가게 되면 상기 STUFF 데이터를 새로운 포맷의 매핑 비트위치로 이동시키는 동작이 필요하게 되는데, 이러한 동작을 VC 매퍼(32)에 의해 수행된다.

<46> VC 매퍼(32)는 새로운 포맷에 추가될 데이터와 STUFF 바이트의 시점을 지시하는 신호, 읽기포인터와 쓰기포인터간의 차이를 나타내는 신호 및 매핑 데이터를 입력받아 새

로운 포맷으로의 매핑을 수행하게 된다.

- <47> 이처럼 본 발명은 다채널로 입력되는 직렬데이터를 바이트 단위로 처리할 수 있도록 함으로써 상기 입력데이터에 대한 읽기/쓰기 제어신호와 게이트의 수를 감소시킬 수 있는 것이다.
- <48> 이상에서 본 발명의 바람직한 실시예를 설명하였으나, 본 발명은 다양한 변화와 변경 및 균등물을 사용할 수 있다. 본 발명은 상기 실시예를 적절히 변형하여 동일하게 응용할 수 있음이 명확하다. 즉, 비동기식 전송장치인 ATM의 AAL-1 및 AAL-3 매핑부에 적용될 수 있고 동기식 광전송장치인 SDH의 라인신호를 VC로 매핑하는 기능부 등에 적용될 수 있게 된다.
- <49> 따라서 상기 기재 내용은 하기 특허청구범위의 한계에 의해 정해지는 본 발명의 범위를 한정하는 것이 아니다.

【발명의 효과】

- <50> 이상에서 살펴본 바와 같이 본 발명에 의한 동기식 광전송 시스템에서 직렬입력 데이터의 병렬처리를 위한 매핑장치는, 탄성버퍼에 대해 입력데이터를 쓰는 클럭과 읽는 클럭을 일치시킴으로써 클럭간의 차이에 의한 지터의 발생을 방지하는 효과가 있다.
- <51> 그리고 탄성버퍼의 데이터를 바이트 단위로 읽기 때문에 종래기술에서 같이 직병렬 변환을 위한 기능블록을 별도로 구비하지 않아도 되어 시스템 구성이 간단화되는 효과가 있다.
- <52> 또한, 전체 채널을 독립적으로 처리하여 데이터를 만든 후, 상기 형성된 데이터를

다중화시키는 종래기술과는 달리, 새로운 포맷에의 매핑이 시작되는 시점에서만 해당 채널의 탄생버퍼로부터 데이터를 읽기 때문에 게이트의 수를 효과적으로 감소시킬 수 있게 된다.

<53> 더불어 각 채널을 독립적으로 처리하던 종래기술에 비해, 각 채널당 필요했던 제어 신호들을 전체 채널을 한번에 처리하면서 필요시에만 해당 제어신호를 다중화하여 사용함으로써 제어신호의 전송을 위한 시스템 구성이 간단화되는 효과가 있다.

【특허청구범위】**【청구항 1】**

새로 매핑될 데이터의 위치를 지시하는 어드레스 신호를 출력하는 STM 어드레스 생성부와;

DS 계열의 신호를 수신하여 상기 STM 어드레스 생성부의 어드레스 신호에 따라 VC 계열의 신호로 각각 매핑하는 VC 매핑부와;

상기 VC 매핑부에서 매핑된 VC계열의 가상단자를 포인터처리하고 다중화한 후 STM 신호로 출력하는 STM 포맷팅부로 구성된 것을 특징으로 하는 동기식 광전송 시스템에서 직렬입력 데이터의 병렬처리를 위한 매핑장치.

【청구항 2】

제 1항에 있어서, 상기 VC 매핑부는,

비동기인 DS 계열의 신호를 수신하여 쓰기포인터 제어부가 지시하는 위치에 저장하고, 읽기포인터 제어부가 지시하는 위치에서 데이터를 출력하는 탄성버퍼와;

상기 탄성버퍼에서 출력되는 데이터를 VC 프레임의 포맷에 따라 VC계열의 신호로 다중화하여 출력하는 VC 매퍼와;

상기 STM 어드레스 생성부의 어드레스 신호에 따라 비동기의 신호를 매핑할 위치를 확정하고, 상기 확정된 위치에 따라 상기 VC 매퍼와 읽기포인터 제어부 및 탄성버퍼를 제어하는 VC 프레임머와;

상기 VC 프레임의 제어신호에 따라 상기 탄성버퍼의 데이터가 읽혀질 위치를 지시하는 읽기포인터를 생성하는 읽기포인터 제어부와;

상기 탄성버퍼가 수신하는 데이터가 저장될 위치를 지시하는 쓰기포인터를 생성하는 쓰기포인터 제어부로 구성된 것을 특징으로 하는 동기식 광전송 시스템에서 직렬입력 데이터의 병렬처리를 위한 매핑장치.

【청구항 3】

제 2항에 있어서,

상기 읽기포인터 제어부는 상기 탄성버퍼의 데이터를 바이트 단위로 지시하여 상기 탄성버퍼의 데이터 출력이 바이트 단위로 이루어지도록 하는 것을 특징으로 하는 동기식 광전송 시스템에서 직렬입력 데이터의 병렬처리를 위한 매핑장치.

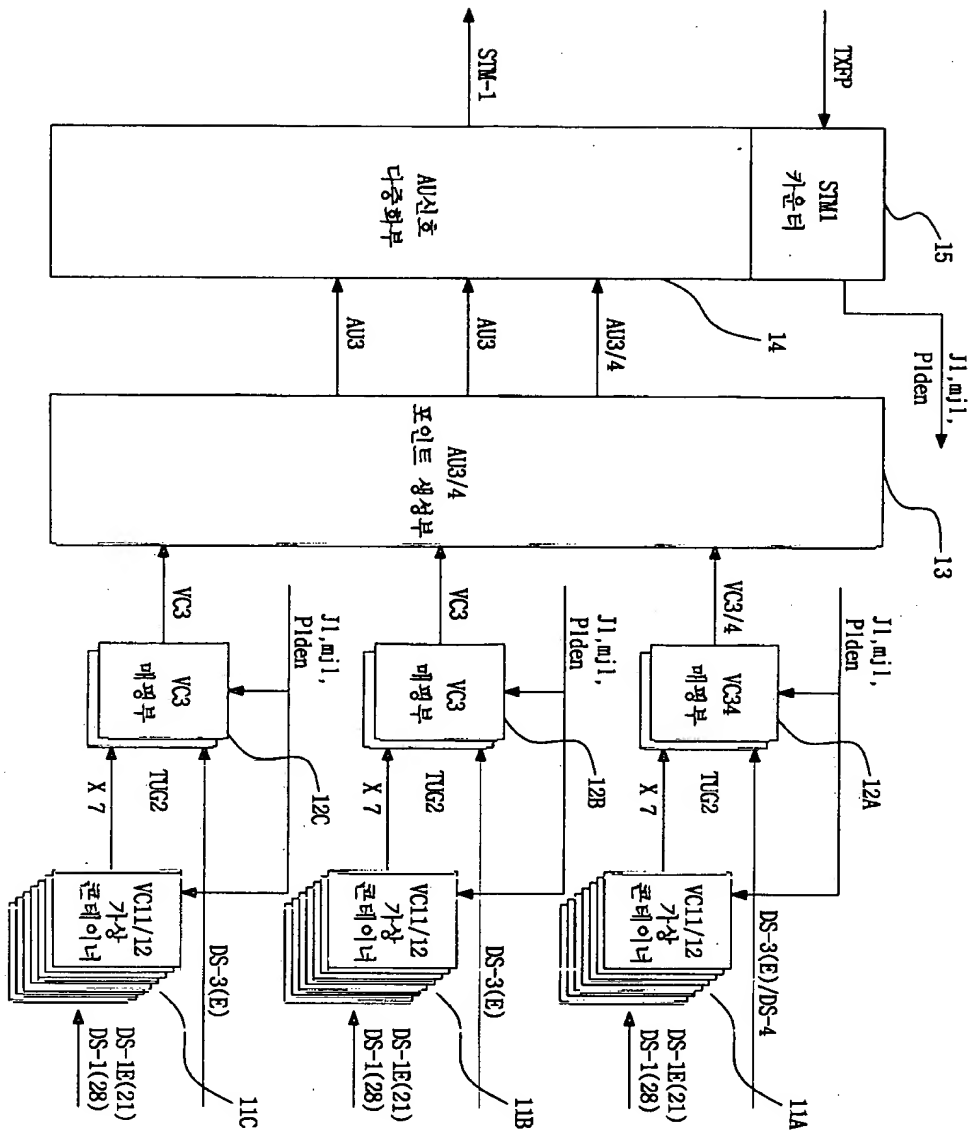
【청구항 4】

제 2항에 있어서,

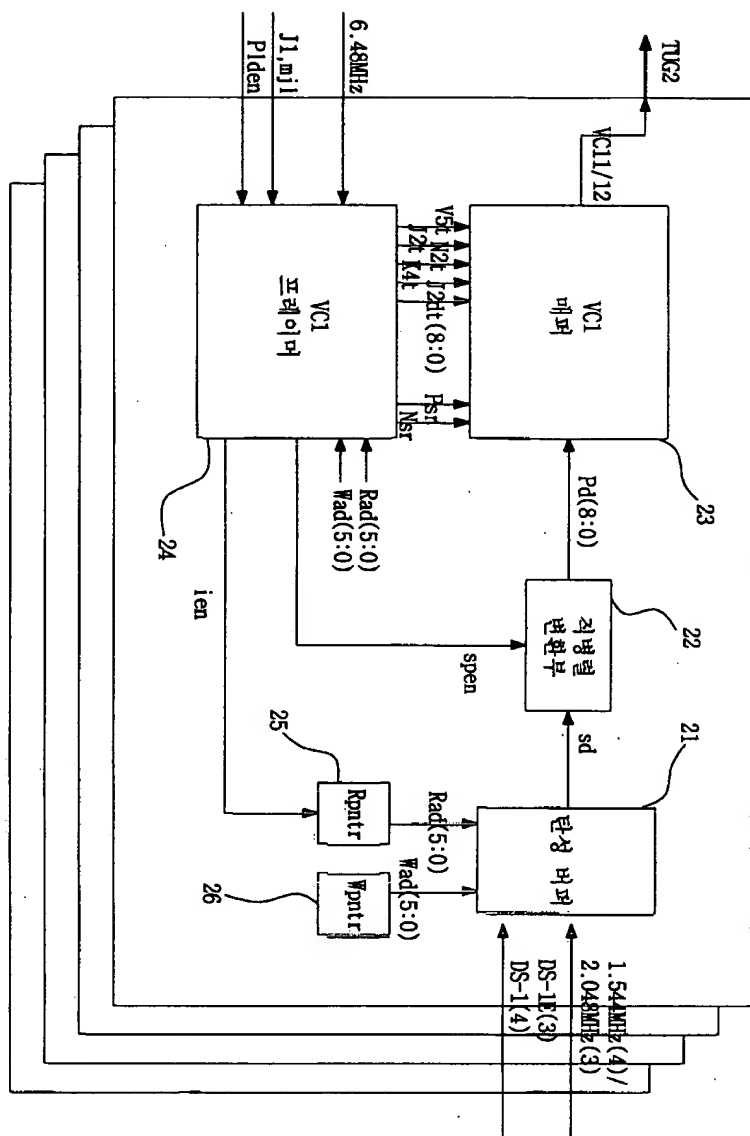
상기 쓰기포인터 제어부는 상기 탄성버퍼가 수신하는 데이터의 클럭을 시스템 클럭으로 래치하였다가 지터를 감쇄시킬 수 있는 시점에서 상기 탄성버퍼로 쓰기포인터를 출력하는 것을 특징으로 하는 동기식 광전송 시스템에서 직렬입력 데이터의 병렬처리를 위한 매핑장치.

【도면】

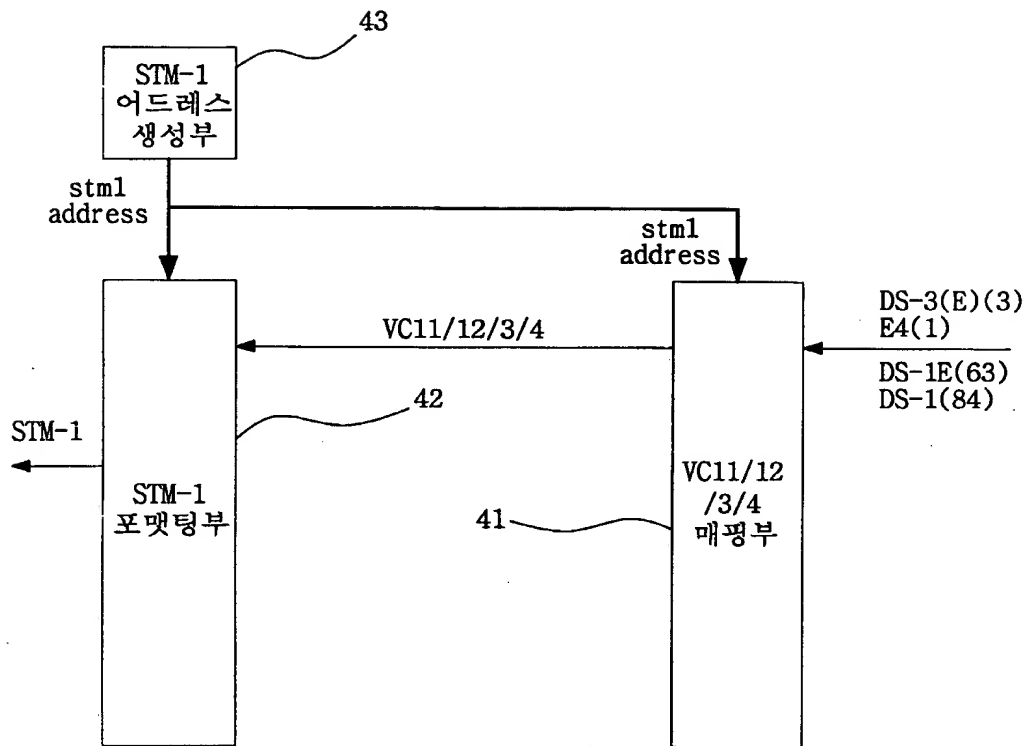
【도 1】



【도·2】



【도 3】



【도 4】

